

数字后端设计时序优化方法探析

李 旭

江苏华创微系统有限公司 江苏南京 210031

摘 要：随着集成电路制造工艺的不断发展，器件尺寸的不断缩小带来了性能的提高，但是也使得时序收敛问题变得越来越复杂。沟道控制能力强、漏电流小的工艺发展，给高性能芯片的设计开辟了新的途径，但是引起的电容效应、工艺波动敏感性以及布线资源限制，使得时序优化工作更加困难。本文对芯片的数字后端设计时序优化主要问题进行了系统的分析，研究了逻辑综合优化、物理实现优化、时钟树综合优化和电压与阈值电压分配等方法。采用合理的方法组合，芯片的设计可以由最初的1GHz达到最终的2GHz目标频率。本文的研究对高性能芯片设计中时序收敛的工作有理论上的借鉴意义。

关键词：时序优化；芯片设计；时钟树综合；性能提升

时序优化贯穿芯片设计的全部阶段，从寄存器传输级到物理实现，每一个环节都要对路径延迟做出细致调节。而且晶体管驱动能力和阈值电压的组合也变得多种多样，传统的时序优化方法需要做相应的调整。当目标频率从1GHz提高到更高的水平时，时序优化的复杂度呈指数级增长，因此深入理解时序的影响机理，寻找合适的时序优化方法，有重大的理论和工程意义。

一、芯片时序优化的核心挑战

（一）器件延迟的影响机理

当栅极包围沟道时，可大大加强了对沟道电场的控制能力，在降低亚阈值漏电方面有明显的优势，但是也给晶体管的开关延迟带来了复杂的效应。提高导电电流，可以减小单元延迟，但是也增大了输入电容，加重了前级驱动单元的负担，驱动能力同输入电容之间存在耦合关系^[1]。

另一方面，晶圆在制造过程中会存在一定的统计波动，会使同一个芯片上不同位置的晶体管电学特性存在差别。工艺波动在时序路径上是不确定的延迟，给时序收敛造成更大的困难。

（二）互连延迟在总延迟中的占比变化

随着工艺不断进步，晶体管自身的开关速度不断提高，但是由于互连线信号传输速度受导体电阻和寄生电容的影响，改善幅度不大。金属层间距、线宽的不断减小使得互连线的单位长度电阻增大，但是层间介质的介电常数虽然有所下降，但是电容的绝对值仍然很高。互连延迟在总路径延迟中所占比例越来越大，很多时候已经成了决定时序是否满足的重要因素。

二、时序优化的关键方法

时序优化贯穿数字后端设计流程之中，包括逻辑综合、布局布线、时钟树综合等环节（图1）。

（一）逻辑综合阶段的时序驱动优化

逻辑综合是把硬件描述语言转换成门级网表的重要环节，也是时序优化的第一个突破口。逻辑综合工具要充分使用工艺库里包含的各种单元，即驱动强度不同的标准单元以及不同的阈值电压组合的单元。时序驱动综合策略的核心就是识别和优化关键路径，综合工具根据时序约束计算出每条路径的松弛时间，对于松弛时间为负的关键路径，采用并行结构重组、逻辑锥平衡、路径重定时等转换手段来减少路径上的逻辑级数。

逻辑级数的减少直接减小了路径上串联单元的数量，缩短了总的延迟。但是逻辑重构会增大面积和功耗，需要在性能目标和面积成本之间做出选择。工艺库中有许多复合逻辑单元，包括与或非门、选择器、加法器等，合理利用这些复合单元可以不用增加逻辑级数来实现复杂的逻辑功能。综合阶段的另一项工作就是阈值电压分配，将关键路径上的单元替换为低阈值电压类型来提高速度，将非关键路径上的单元替换为高阈值电压类型来控制漏电功耗，多阈值电压混合使用的方法是达到高频目的的一种手段^[2]。

（二）布局布线阶段的物理优化

布局布线阶段就是时序优化的中心工作。物理设计是从将标准单元摆放到版图上进行布局开始，到所有的互连线布线结束为止，每一个决策都会对最终时序造成实质性的改变。对于物理优化，首先要考虑单元的位置。

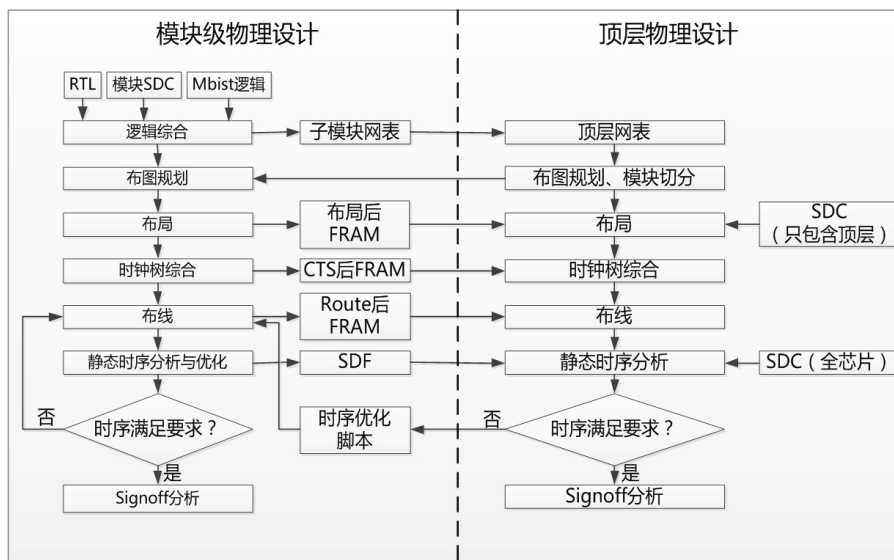


图1 数字后端设计流程

对有时序约束的关键路径，把路径上的单元尽量靠在一起放置，可以缩短互连长度、减小互连延迟。单元拥挤度过高会造成布线绕行，反而增大延迟，所以要找到局部密度和路径延迟之间的平衡点。

布局阶段时序驱动布局算法把时序松弛当作优化目标，先削减关键路径上线网的延迟。布线阶段的任务就是处理信号完整性对于时序的影响。相邻信号线之间耦合电容会带来串扰延迟的变化，当有多条信号线同时发生跳变的时候，受害线上的信号到达时间就会提前或者推迟，串扰效应在高速设计中不能忽略。布线工具用增加线间距离、加屏蔽线、控制并行长度等办法来抑制串扰。布线层分配策略对时序有直接的影响，时序关键线网应分配到电阻小的高层金属上，减小传输延迟，低层金属适合做局部互连。

(三) 时钟树综合与时钟偏差控制

时钟网络是给全芯片的时序单元提供同步信号的网络，它的质量直接影响到芯片能否达到目标频率的工作状态。时钟树综合的主要目的就是创建一个延迟均衡、翻转沿陡峭、抗干扰能力强的时钟分配网络。时钟树综合的主要问题就是怎样在时钟偏差和时钟延迟之间找到最佳平衡。时钟偏差就是同一个时钟沿到达不同单元的时间差，时钟偏差过大就会使数据路径的工作时间变短，从而限制芯片的最大工作频率。

时钟树综合一般用H树或者网格拓扑，加上时钟缓冲器逐级驱动。缓冲器的选择及布置影响时钟信号的上升时间与下降时间，上升沿过缓会使时序分析中出现更多的不确定因素。有用时钟偏差技术是主动引入一定的

时钟偏差来补偿数据路径上延迟的不同，属于一种时序优化的方法。对路径延迟大的数据路径提前捕捉时钟沿到达时间，给数据信号的传播留出更多的时间^[3]。

(四) 多阈值电压分配与单元尺寸优化

多阈值电压分配技术利用了阈值电压可以配置的特点。低阈值电压单元的开关速度快但是漏电电流大，高阈值电压单元正好相反。时序优化中把低阈值电压单元放在关键路径上可以减小路径延迟，把高阈值电压单元放在非关键路径上可以控制总的功耗。阈值电压分配可以看作是在性能约束条件下最小化漏电功耗的优化问题，也可以看作是在功耗约束条件下最大化性能的优化问题。常用的求解方法有基于松弛时间的贪婪算法、线性规划法、启发式搜索法等^[4]。

单元尺寸优化属于一种行之有效的调整方式。增大单元的驱动尺寸可以加快单元的输出信号翻转速度，减小单元的延迟，但是尺寸增大会加大输入负载，加重前级单元的负担。耦合效应使得尺寸调整不能孤立地调整单个单元，而应该从整个路径上考虑。尺寸调整和阈值电压分配交替进行的时候，两者之间存在着复杂的相互影响，只有联合优化才能取得最好的效果。

三、时序优化实践的频率提升历程

(一) 从1GHz向1.5GHz的优化突破

随着工艺尺寸的降低，1GHz工作频率一般不需要复杂的优化就能实现，比较保守的逻辑综合策略以及常规的布局布线就可以满足时序要求。但是当目标频率提高到1.5GHz的时候，时序优化就变得比较困难了，必须依靠系统地使用各种优化方法。

第一阶段主要的工作就是对逻辑综合层面进行深层次的改进。首先对寄存器传输级代码进行时序关键路径分析,找出逻辑级数过深、扇出过大的关键路径,用逻辑重组的方法来减小串联逻辑级数。将部分组合逻辑安排在紧跟着它的时钟周期之后,在流水线的方式下对各个阶段的延迟进行协调。综合工具的参数设置要细致地加以调节,禁用所有以面积最小化为目的一类优化选项,把优化重心全部转移到时序收敛上。该阶段结束后,设计最坏负松弛由负值减小到接近零,但是还有一部分路径不能满足1.5GHz的要求^[5]。

第二阶段加入物理方面的改进措施。布局阶段给关键路径上的单元加上位置约束,强制它们集中在相邻区域。由于单元密度增大造成局部布线拥挤,必须依靠手动操作来解决,即改变电源网络的布局,加大布线通道或者扩大单元间距。时钟树从最初的平衡树结构升级为网格和树混合的拓扑,时钟延迟减小了大约15%,时钟偏差控制在目标频率所允许的范围内。经过这一轮优化后,设计出来的时序收敛状况明显变好,所有的路径都可以满足1.5GHz的时序要求,芯片可以在这个频率下正常工作。

(二) 从1.5GHz向2GHz的性能跃升

工作频率由原来的1.5GHz提高到现在的2GHz,即时钟周期由原来的667皮秒缩短到了500皮秒,这是很大的一个跨越。该阶段常规的优化方法已经不再适用了,必须使用更细密、更激进的优化手段。

多阈值电压分配技术在这时起着重要的作用。对所有的时序路径进行松弛时间排序,把松弛时间最紧张的前10%路径上的单元全部替换为最低阈值电压版本,把松弛时间充足的后30%路径上的单元替换为较高阈值电压版本来控制功耗的增长。单元尺寸优化紧随其后,保证不明显增大面积的情况下,对关键路径末端的驱动单元做升尺寸处理,提高其驱动后级负载的能力。但是单元尺寸过大又会使得前级负载过重,所以尺寸的调整要在路径整体延迟最优的框架内进行。

时钟网络的重构也是保证2GHz实现的一项工作。原有的时钟树在1.5GHz下工作正常,但是2GHz时它的延迟和偏差成了制约因素。增加时钟树的驱动层次,减小每一级缓冲器的扇出数目,把时钟缓冲器的驱动尺寸统一提高,使时钟信号的上升时间由原来的45皮秒缩短到

30皮秒以下。芯片物理版图对上对时钟网络拓扑结构进行重新设计,把时钟源点移到芯片几何中心附近,使时钟信号到四周的距离比较一致。经过时钟网络的全面优化之后,时钟偏差由原来的35皮秒降到20皮秒以下,给数据路径留出更多的时间裕量。

经过以上多次的优化迭代之后才得到2GHz的频率。时序报告中显示,最坏的负松弛变为正,所有的路径都符合建立时间和保持时间的要求。该频率提高过程很好地说明,实现高频设计要综合使用各种时序优化手段,即从逻辑到物理、从单元到互连、从数据路径到时钟网络,每一个环节的精细工作都是最终性能得以实现的前提。

结语

工艺发展给芯片设计赋予了良好的晶体管性能根基,不过也引发时序收敛方面的新难题。电容效应、互连延迟占总时间的比例越来越大、工艺波动越来越敏感,使时序优化的工作方式也有了新的特点和要求。本文从逻辑综合、物理实现、时钟树综合、多阈值电压分配以及单元尺寸优化等几个方面对时序优化的方法进行了系统的讨论,并且通过从1GHz到1.5GHz、再到2GHz的频率提升过程来展示优化策略的效果。时序优化属于一项贯穿于设计整个过程的系统工程,将各种优化手段有机地结合在一起,才能达成高频设计的目的。伴随着工艺技术不断的发展,时序优化的方法也会随之发展,在未来的几年里,该领域仍然会是芯片设计研究的重点方向。

参考文献

- [1] 叶琳娜, 洪嘉. 数字后端设计方法分析[J]. 电子技术, 2025, 54(05): 140-141.
- [2] 许超, 李哲英. 数字后端约束设计[J]. 北京联合大学学报(自然科学版), 2011, 25(03): 29-33.
- [3] 杨沛, 邹文英, 陈柱江, 等. 基于Early Clock Flow方式的时钟树综合物理设计[J]. 集成电路应用, 2024, 41(09): 1-3.
- [4] 陈新宇. 门控时钟与多比特寄存器结合的SOC后端低功耗设计[D]. 西安电子科技大学, 2023.
- [5] 王淑芬, 李应利, 高凯菲. 亿门级层次化物理设计时钟树的研究[J]. 电子技术应用, 2025, 51(09): 35-38.